

## ⑫ 公開特許公報 (A) 平2-3008

⑬ Int. Cl.

G 02 F 1/133  
G 09 G 3/36  
// H 03 K 17/00

識別記号

550  
F

府内整理番号

8708-2H  
8621-5C  
8124-5J

⑭ 公開 平成2年(1990)1月8日

審査請求 未請求 請求項の数 6 (全10頁)

⑮ 発明の名称 走査回路およびそれを用いた表示パネル

⑯ 特願 昭63-150285

⑰ 出願 昭63(1988)6月20日

⑱ 発明者 小池 紀雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発明者 金子 好之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代理人 弁理士 小川 勝男 外1名

## 明細書

## 1. 発明の名称

走査回路およびそれを用いた表示パネル

## 2. 特許請求の範囲

1. 複数個の非品質半導体薄膜トランジスタから成る単位回路を複数段従属接続してパルスシフト回路を構成し、該パルスシフト回路の出力するシフトパルスにより開閉する複数個の非品質半導体薄膜トランジスタから成る充電・放電回路を上記パルスシフト回路に接続して成り、該充電・放電回路の各段から時間的に順次走査パルスを得ることを特徴とする走査回路。

2. 上記薄膜トランジスタ走査回路を表示パネルと同一パネル内に集成化し、該走査回路を該表示パネルの垂直走査回路として用いることを特徴とする請求項1に記載の走査回路を用いた表示パネル。

3. 上記表示パネルの水平走査回路を多結晶あるいは単結晶半導体材料で構成し、上記表示パネル上に集成化したことを特徴とする請求項2に

記載の走査回路を用いた表示パネル。

4. 上記水平走査回路と上記表示パネルとの間の接続をワイヤボンディングによつて行なうこと、を特徴とする請求項3に記載の走査回路を用いた表示パネル。

5. 上記水平走査回路と上記表示パネルとの間の接続を、上記水平走査回路および上記表示パネルの各々に設けたパンプを融合させることによつて行なうことを特徴とする請求項3に記載の走査回路を用いた表示パネル。

6. 走査パルスのシフト動作を行なう第1の回路と、ゲート線の駆動を行なう第2の回路から成ることを特徴とする走査回路。

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は液晶表示装置などの駆動に用いる走査回路に係り、特に液晶パネル内に集成化して形成するに好適な走査回路に関する。

## (従来の技術)

液晶表示装置の駆動に用いる従来の走査回路構

成を第2図に示す。1はアクティブマトリックス方式の液晶パネルであり、同一パネル内に構成した画素スイッチ用薄膜トランジスタ2(半導体材料としては例えばアモルファスSiを用いる)、画素を形成する液晶セル3、スイッチ2を開閉するゲート走査線Gおよび液晶セル3に画像信号を供給する画像信号線Sにより構成されている。4はゲート走査線に走査パルスを時間順次に送出する垂直走査回路、また5は信号線を走査し信号線に画像信号を供給する水平走査回路である。ここで、液晶パネル内のゲート線および信号線の一端にはリード端子R<sub>G</sub>、R<sub>S</sub>が垂直走査パネルおよび水平走査パネル内の走査パルス供給線V<sub>G</sub>、Hの一端にはリード端子R<sub>V</sub>、R<sub>H</sub>が各々設けられ、リード端子R<sub>V</sub>とR<sub>G</sub>、およびリード端子R<sub>H</sub>とR<sub>S</sub>はプリント配線板F<sub>V</sub>、F<sub>H</sub>(屈曲性のある配線プリント基板などが用いられる)により電気的に接続される。

この種の液晶表示装置は小型、軽量、低消費電力という特徴はもとより、従来のCRT表示装置に較べて遜色ない画質が得られ、さらに大型化

達成される。そして、上記本発明の特徴点を具体的に説明すると、本発明の垂直走査回路においては、①ゲート線容量を走査回路から切離す、②ゲート線容量を駆動する能力を備えた回路を設けるようにしたところに特徴がある。上記の2つの機能を実現するため、本発明の垂直走査回路は、走査パルスのシフト動作のみを行う走査パルスシフト回路とシヤフト回路各段に設けた充放電回路から構成される。

#### (作用)

垂直走査回路の走査速度は現行の標準テレビ走査周波数では15.7KHzであり、水平走査回路の速度5~10MHzに較べると数百分の1と遅い。しかし乍ら、液晶パネルを構成するアモルファスSi薄膜トランジスタの易動度は~1cd/V·secと小さく(半導体LSIの基板として使用する単結晶Siの易動度に較べると~1/1000である)、第2図に示した垂直走査回路と同様な回路方式を踏襲したのでは上記の垂直走査速度

(高解像化)も図り易いという利点を有しているため、平面表示方式の有力な担手として将来が期待されているものである。

#### (発明が解決しようとする課題)

しかし乍ら、現行の表示装置は液晶パネルと外部の走査回路を接続する配線数が多く、価格の低廉、信頼度および特性の向上などを著しく阻んでいる。将来、高解像度化あるいは表示領域の大型化を図ろうとすると、これらの問題は現在以上に大きくなるものと予測される。したがつて、これらの問題を解決してゆくためには、液晶パネル等の表示パネルと走査回路との間の接続配線数を減らしてゆくことが大切な課題となる。

本発明の目的は、上記の問題を解決することにあり、走査回路の中でも比較的走査速度の遅い垂直走査回路を液晶パネル内に集積化することにある。

#### (課題を解決するための手段)

上記本発明の目的は、液晶表示パネルの動作を考慮し垂直走査回路の高速化を図ることによつて

15.7KHzを実現することは殆ど不可能である(垂直走査回路の負荷となるゲート線の容量にも依るが、現状の易動度では高々1KHz程度の速度しか得られない)。

上述のとおり、本発明の非品質半導体薄膜トランジスタ垂直走査回路においては、従来の走査回路が受けもつていた①走査パルスのシフト動作および②ゲート線の駆動という2つの役割を分離し、走査パルスのシフトは走査パルスシフト回路により行い、ゲート線の駆動はパルスシフト回路の出力パルスにより開閉する充放電回路によつて行う。

したがつて、回路構成要素として易動度の低い非品質半導体薄膜トランジスタを用いた場合においても、現行の走査速度(15.7KHz)を得ることができる集積化垂直走査回路を実現することが可能となる。

#### (実施例)

以下、本発明を実施例を用いて詳細に説明する。  
実施例1

第1図は本発明の垂直走査回路の構成の概略を

示す図であり、1'はスイッチマトリクスと一緒に本発明の垂直走査回路4'を集積化した被品パネル、7は従来と同じように液晶パネルの外部に設けた水平走査パネルである。ここで、垂直走査回路4'は、走査パルスのシフト動作のみを行う垂直走査パルスシフト回路4' - 1と、ゲート線Gの駆動を行う充電回路4' - 2により構成されている。この様な構成により被品パネル1'と外部パネルの接続配線数および水平走査パネルなど外部に必要な部品点数は従来装置に較べて約1/2に減少する。また、4'に流れ世流量は、外部との接続がないためゲート線の駆動に必要な並に低電力設計できる。

このためパネル間の接続配線により発生していた寄生容量も小さくなり、従来装置で外部から飛込んでいた走査時のスイッチング雑音を低減することができる。

以下、本発明の骨子である集積化垂直走査回路の具体的な構成について説明する。第3図は垂直走査回路の構成例を示す図である。第3図(a)

のドレン共通端子4' - Dに印加するパルス、PGは放電用トランジスタのゲート共通端子4' - Gに印加するパルスである。また、放電用トランジスタのソース共通端子4' - Sには直流の“0”レベル電圧(例えばアース電圧を使用する)を印加する(図示せず)。この“0”レベル電圧は図示したように印加端子(4' - S)を設けてもよいし、パルスシフト回路4' - 1に“0”レベル電圧を供給する端子(図示せず)と共有するようにしてもよい。共有する場合には、端子4' - Sを設ける必要はなく、パルスシフト回路4' - 1のための“0”レベル供給端子に放電トランジスタのソース共通配線を内部接続すればよい。本回路の充放電動作を以下に説明する。

- (1) 時間t<sub>1</sub>でシフト回路のパルスシフト動作により“1”レベルの出力パルスO(n-1)が

出力され、充電用TFT4' - 3(n-1)が導通状態に入る。

(2) 時間t<sub>2</sub>で(O(n-1)よりt<sub>1</sub>時間遅れて)、端子4' - Dに“1”レベルパルス

において、4' - 1は走査パルスのシフト動作のみを行う走査パルスシフト回路、4' - 2は充電回路である。充電回路はパルスシフト回路4' - 1が回路各段に出力するパルスO(n)により開閉する充電用導體トランジスタ4' - 3(以下、充電用TFTと略称する)と充電用TFTによってゲート線Gに充電した高電圧(“1”レベル電圧)を低電圧(“0”レベル電圧)に放電する放電用TFT4' - 4により構成されている。

ここで4' - 1の走査パルスシフト回路としては、例えば第10回に示すような回路を用いることができる。この回路については、例えば特開昭54-161288号に開示されている。第10回中G<sub>1</sub>、G<sub>2</sub>は各々クロックパルス発生器、G<sub>3</sub>は入力パルスの発生器、V<sub>D</sub>は駆動用の直流電源、V<sub>S</sub>は一般にアース電位を与える基準電圧印加端子である。

第3図(b)は同図(a)に示した回路の動作タイムチャートを示す図である。O(n)はシフト回路の出力パルス、PDは充電用トランジスタ

PDが加わる。この結果、時間t<sub>2</sub>からゲート線G(n-1)には“1”レベルパルスSP(n-1)が出力される(すなわち、ゲート線G(n-1)は時間t<sub>2</sub>から“1”レベルに充電される)

(3) 時間t<sub>3</sub>になるとPDパルスは“0”レベルに下降するのでゲート線G(n-1)は“1”レベルから“0”レベルに下降し始める。

(4) 時間t<sub>4</sub>になると(PDパルスが“0”レベルなった時よりt<sub>2</sub>時間遅れて)放電用TFT4' - 4(n-1)のゲートに“1”レベルパルスPGが加わるので、4' - 4(n-1)は導通状態に入り、ゲート線の“1”レベルは充電用TFTおよび放電用TFTの両方を通して“0”レベルに放電する。

(5) 時間t<sub>5</sub>でPGパルスは“0”レベルに下降し、放電用TFTは非導通状態になるが、時間t<sub>5</sub>までにゲート線は“0”レベルへの放電を完了する。

(6) 時間t<sub>6</sub>からt<sub>7</sub>までゲート線G(n-1)

はフローティング状態に置かれるため、水平走査により信号線に送込まれる画像信号の影響により（すなわち、ゲート線と信号線間に寄生する容量を介して）ゲート線の電圧は時間  $t_0$  で “0” レベルに設定されたにも拘らず  $\Delta V$  だけ変化する。この変化電圧  $\Delta V$  は 1 水平走査期間 ( $1H$  : 時間  $t_1 \sim t_2$ ,  $t_3 \sim t_4$ ,  $t_5 \sim t_{10}$ ) では微量であるが 1 フィールド期間 ( $\sim 250$  H 分) に渡って積算されると選択にあづからつていいない画素スイッチ用 TFT (第 1 図に示した記号 2) をいたづらに導通させるような電圧になる。この様な電圧変動の発生を防止するためのゲート線  $G(n-1)$  の電圧レベルは  $15.7\text{kHz}$  周期で（すなわち  $1H$  期間毎に） PG パルスにより導通する放電用 TFT を通して常時 “0” レベルに設定される（放電用 TFT は時間  $t_0$  以後、時間  $t_1 \sim t_2$ ,  $t_{11} \sim t_{12}$ , … で導通する）。

(7) 時間  $t_0$  でシフト回路  $4' - 1$  から次段のパルス  $O(n)$  が出力される。前述の時間  $t_1$  から  $t_0$  までの説明と同様の動作によりゲート線

のが望ましい。第 3 図 (b) に示した動作ダイムチャートにおいては、パルス  $O$  (“1”) と PD (“1”), パルス PD (“0”) と PG (“1”) の間に各々遅延時間  $t_{11}$ ,  $t_{12}$  を設けたが遅延時間を持つことは本質的ではない。遅延時間  $t_{11}$  は 0 (遅延時間なし) でもよいし、逆にパルス PD (“1”) が 0 (“1”) より先行するようにしても動作に支障はない。一方、遅延時間  $t_{12}$  は 0 (遅延時間なし) でもよい。

また、パルス PG (“1”) を時間  $t_0$  より先行させる場合には、パルス PG が “1” レベルに上昇する迄に対応するゲート線に属する線での液晶セルへの画像信号の書き込みを完了しておくようにすればよい。

前記 (第 3 図 (b)) の実施例においては、ドレイン共通端子  $4' - D$  にパルス電圧 PD を加える例を示したが、端子  $4' - D$  には第 3 図 (c) に示すような直流電圧 DO を加えるようにしてもよい。この場合にはパルスシフト回路  $4' - 1$  の出力するパルス  $O(n)$  は第 3 図 (b) の場合よ

$G(n)$  には “1” レベルの走査パルス (“1” レベル期間は時間  $t_1$  から  $t_2$  まで、それ以前および以後の期間は “0” レベル) が出力される。

(8) 時間  $t_0$  でシフトから次段のパルス  $O(n+1)$  が出力され、前述と同様の動作によりゲート線  $G(n+1)$  には “1” レベルの走査パルス (“1” レベル期間は時間  $t_{10}$  から  $t_{11}$  まで、それ以前および以降の期間は “0” レベル) が出力される。時間  $t_{12}$  以後も前述と同様の動作によりゲート線  $G(n+2)$ ,  $G(n+3)$ ,  $G(n+4)$ , … に “1” レベル走査パルス SP(n+2), SP(n+3), SP(n+4), … が順次出力される。これらの “1” レベル走査パルス SP は対応するゲート線につながる画素スイッチ 2 を導通状態におき、この “1” レベル期間にゲート線に属する全ての液晶セルへの画像信号の書き込みが完了する。また、パルス PG の “1” レベル期間は信号書き込みに關係しないので、通常は水平走査期間の中に納める

り “1” レベル期間を縮め、O(n) の “1” レベル期間 ( $T_0$ ) と端子  $4' - G$  に与えるパルス PG の “1” レベル期間 ( $T_{PG}$ ) が 1 水平走査期間 ( $1H$ ) に納めるようすればよい ( $T_0 + T_{PG} \leq 1H$ )。この様な条件においても、第 3 図 (b) の場合とほぼ同様の動作により、時間順次な走査パルス SP(n-1), SP(n), SP(n+1), … を得ることができる。これら走査パルス SP(n) の “1” レベル期間 (パルス幅:  $T_{SP}$ ) は出力パルス O(n) のパルス幅 ( $T_0$ ) によって決まり、O(n) のパルス幅と等しくなる。ここで使用するパルスシフト回路  $4' - 1$  には、例えば出力のパルス幅がパルスシフト動作を行わせるためにシフト回路に供給するクロックパルス (図示せず) のパルス幅によって決まるような回路を述べばよい。この様のシフト回路を用いることによりクロックパルスのパルス幅を所定の値に設定することにより、所定の走査パルス幅 ( $T_{SP}$ ) を得ることができる。また、直流電圧 DD としてパルスシフト回路駆動用の電源 (回

示せず) を利用するようにすれば端子 4' - D を省略することができ、外部から垂直走査回路へ入力する配線の数を 1 本減らすことができる。

## 実施例 2

第 4 図は極性反転回路 8 を設けパルス PG としてパルス PD の反転パルスを用いる他の実施例を示す図である。これは第 3 図の実施例で述べた遅延時間  $t_{d2} = 0$  の場合に相当している(ここでは、遅延時間  $t_{d1}$  も 0 の場合を記載したが、 $t_{d1} \neq 0$  であつても何ら支障ない)。ドレイン共通端子 4' - D にパルス PD を加えると充電トランジスタのドレインにパルス PD が供給され、同時に極性反転回路 8 の出力 9 には第 4 図 (b) に示したような反転パルス PG を得ることができる。この反転パルスを放電トランジスタのゲート共通配線 4' - G に供給する。この結果、第 3 図の場合とほぼ同様の動作により、時間順次な走査パルス SP (n-1), SP (n), SP (n+1), …を得ることができる。ここで、極性反転回路 8 を垂直走査回路と同じパネル上に集積化す

ることができる。この場合は外部から垂直走査回路に入力する配線の数を 1 本減らすことができる。集積化する場合の極性反転回路の一例を第 4 図 (c) に示す。1 0 は負荷用 TFT, 1 1 は駆動用 TFT であり、駆動用 TFT の gm を負荷用 TFT の gm の 5 倍程度より大きな値に設計するようすれば安定な極性反転動作を得ることができる。配線数の増加をおさえるため電源電圧端子 1 2 は例えばパルスシフト回路の電源に内部接続する、“0” レベル電圧端子 1 3 は端子 4' - S に内部接続すればよい。

## 実施例 3

第 5 図は回路各段に極性反転回路 8' (n) を設け、パルスシフト回路の出力 O (n) の反転パルスにより放電用 TFT を開閉するようにした実施例である。この構成においても第 3 図の場合と同様の動作により、時間順次な走査パルス SP (n-1), SP (n), SP (n+1), …を得ることができる。

## 実施例 4

を周期的に(1 H 毎に) “0” レベルに戻すことがある。

## 実施例 5

これまでの実施例においては、パルスシフト回路 1 段当り 1 個の充電用 TFT を設ける例を記載してきたが、パルスシフト回路 1 段当り m 個(m は 2 以上の整数) の充電用 TFT を設けることができる。第 7 図にパルスシフト回路 1 段当り 3 個の充電用 TFT を設けた例を示す。パルスシフト回路 4' - 1 のシフトパルス O (n) は 3 個の充電用 TFT 4' - 3 (n-1), 4' - 3 (n), 4' - 3 (n+1) のゲートに入力される。充電用 TFT のドレイン共通端子 4' - D 1, 4' - D 2, 4' - D 3 には第 7 図 (c) に示すように O (n) のパルス幅の 1/3 に相当する時間順次なパルス PD 1, PD 2, PD 3 が加えられる。したがつて、O (n) のパルス幅を 3 H、パルス PD のパルス幅を 1 H を越えない所定の幅(WPD) とすることにより、第 3 図の場合と同様な動作により時間順次な 1 H のパルス幅を有する走査パル

パルスシフト回路各段のノードには出力パルス O (n) と極性、或いは位相の異なる 2~3 種類のパルスが存在している(図示せず)。これらのパルスをシフト回路 4' - 1 の外部に取出し放電用 TFT の開閉に利用する走査回路の例を第 6 図に示す。第 6 図 (a) はパルスシフト回路に存在する O (n) の反転パルス M (n) をパルスシフト回路の外に取出し、パルスシフト回路と同一段の放電用 TFT 4' - 4 (n) のゲートを開閉するようにした例である。この様な構成により第 3 図 (b) に示したパルス PG と同一、或いは PG に類似したパルスを放電用 TFT のゲートに加えることができ、第 3 図の場合と同様の動作により時間順次な走査パルス SP (n-1), SP (n), SP (n+1), …を得ることができる。

第 6 図 (b) は次段のパルスシフト回路に存在する反転パルスを取出し前段の放電用 TFT を開閉するようにした例である。放電用 TFT の役割はゲート線 G (n) がフローティング状態に置かれる期間が長くなるのを防ぐためゲート線の電位

ス  $S_P(n-1)$ ,  $S_P(n)$ ,  $S_P(n+1)$ , …を得ることができる。

第7図(a)はドレイン共通配線  $D_1$ ,  $D_2$ ,  $D_3$  に加えるパルス  $P_D 1$ ,  $P_D 2$ ,  $P_D 3$  を発する  $P_D$  パルス発生回路  $1-4$  を設けた例を示している。パルス  $P_D 1$ ,  $P_D 2$ ,  $P_D 3$  は第7図(b)に示したように時間的に順次シフトしたパルス列なので、これらのパルス列はパルスシフト回路  $4'-1$  と同様の構成を有する回路によって作ることができる。ここではパルス発生回路  $1-4$  を内蔵垂直走査回路と一緒に集積化する例を記載したが、外部に設けるようにしてもよい。この様にパルスシフト回路  $1$  段に付して  $m$  個の充電用 TFT を設ける構成にした場合、次の利点を得ることができる。(1) パルスシフト回路の動作周波数を  $1/m$  に落すことができるため易動度の低い  $a-Si-TFT$  を使用しても十分な走査速度を得ることができる。(2) パルスシフト回路の消費電力が  $1/m$  に減少する。(3) パルスシフト回路全体の段数を  $1/m$  に低減できるため回路の占め

水平走査回路はアモルファス  $Si-TFT$  に較べて易動度の数十倍高い多結晶シリコンを材料とした薄膜トランジスタ、或いは更に易動度の高い単結晶シリコンを材料として MOS トランジスタにより構成されている。この基板  $7'$  は表示パネル  $1'$  の上部に接着剤などを用いて貼合せることができる。この様な形にすることにより外部との配線数は殆どなくすことができ、信頼度および価格の低波効果はこれまで述べてきた実施例より更に向上することになる。

水平走査回路は多結晶シリコン、或いは単結晶シリコンを用いて作るが、これらの材料でパネルサイズに相当するような長い回路を製作することが難しい場合は、第9図(b)に示すように水平走査回路を複数のチップに分割して同じ基板  $7'$  に載せるようにしてもよいし、或いは第9図(a)に示すように基板自体を複数個に分割し、各々の基板に 1 個、或いは複数個の走査回路を載せるようにしてもよい(  $n$  は分割数を表す正の整数)。

水平走査基板  $7'$  を表示パネル  $1'$  に貼合せる

る面積を  $1/m$  に減らすことができ動作歩留りを向上することができる。

#### 実施例 6

本発明の走査回路は液晶パネル内に集積化し從来の様に外部との配線を必要としないため、第8図の実施例に示すように垂直走査路  $4'-L$ ,  $4'-R$  を左右に 2 個設けることができる。ここで、2 つの走査回路は時間的に全く同一の動作をし、同一の走査パルス  $SPL(n)$ ,  $SR(n)$  を同一のゲート線  $G(n)$  に加わるようにすると、ゲート線の左半分の駆動を  $4'-L$  が、右半分を  $4'-R$  が受けもつことになる。したがって、各々の走査回路の負荷となるゲート線の容量および抵抗は各々  $1/2$  に減少する。この結果、垂直走査回路の走査速度を実効的に 4 倍向上することができる。

#### 実施例 7

第9図は水平走査回路も表示パネル  $1'$  の上に内蔵する例を示している。第9図(a)において、 $7'$  は水平走査回路  $5$  を集積化した基板であり、

場合水平走査回路各段の出力  $5_1$  と  $(5_1-1, 5_1-2, \dots, 5_1-n)$  とパネル上の配線  $S$  ( $S_1, S_2, \dots, S(n)$ ) を電気的に接続する必要がある。接続する方法としては幾多の手段を考えることができるが、例えば第9図(d), (e) に示したような手段を考えることができる。第9図(d) に示した手段は水平走査回路各段の出力配線  $5_1$  の一端およびパネル上の配線  $S$  の一端に通常の IC チップの場合と同様のポンディングパッド  $5_2, 5_3$  を設け、パッド  $5_2$  と  $5_3$  をワイヤポンディングによって結びつけるものである。一方、第9図(d) はワイヤポンディングを用いないで接続する手段を示したもので、各々の基板  $7'$ ,  $1'$  は同図(f) に示したような構造を備えている。 $5_5-1$  は水平走査回路各段の出力配線の一端に設けた半田等を材料としたバンプ、 $5_5-2$  は配線  $S$  の一端に設けた半田等を材料とするバンプであり、これらのバンプに  $300 \sim 350^{\circ}\text{C}$  程度の熱を加えることにより両バンプを融合することができる。この他にもバンプを企

(A u), 錫 (S. n) 等で作り、2つのパンプを熱および圧力を加えることにより融合(熱圧着)することもできる。

## 【発明の効果】

本発明によれば、垂直走査回路を走査パルスのシフト動作を行う回路とゲート線の駆動を行う回路という2種類の機能回路により構成し、走査回路に大きな負荷容量が直接加わるのを防止するようしたので、走査速度を従来に較べて1桁以上向上することができるという効果がある。したがつて、垂直走査回路を液晶パネルの如き表示パネルと同一パネル上に集積化することが可能となり、表示パネルと外部回路の接続配線数および外部回路の部品点数を約1/2に低減することができる。これば、信頼度の向上、価格の低減および消費電力の低減につながるばかりでなく、従来方式において電流消費量の大きい外部回路から飛込んでいたスイッチング時の誘導性雑音を低減することができ表示装置の画質改善にもつながる。さらに、本発明の効果は、将来、高解像度化(或いは複数

パネルの大型化)を図る場合に更に大きくなり、本発明のもたらす実用価値は極めて大きい。

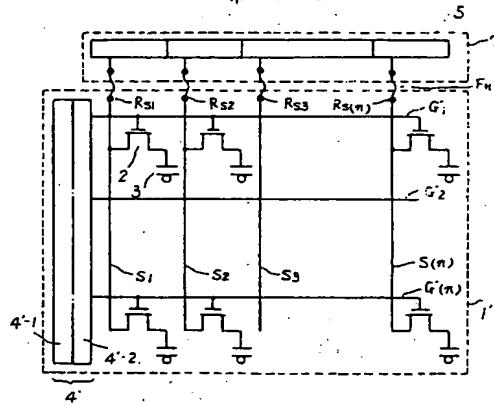
## 4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタ集積化垂直走査回路の全体構成を示す図、第2図は従来の垂直走査回路の全体構成を示す図、第3図は本発明の集積化垂直走査回路の詳細な構成を示す図、第4図、第5図、第6図、第7図、第8図および第9図は本発明の他の実施例を示す図、第10図は第3図中の走査パルスシフト回路の構成例を示す図である。

1…液晶パネル、2…画素スイッチ用薄膜トランジスタ、3…液晶セル、4…垂直走査回路、4'…パルスシフト回路、4'…充放電回路、5…水平走査回路、6…極性反転回路、1'…パルス発生回路。

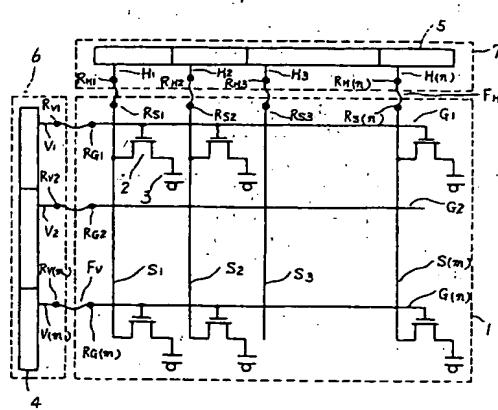
代理人弁理士 小川勝男

第1図

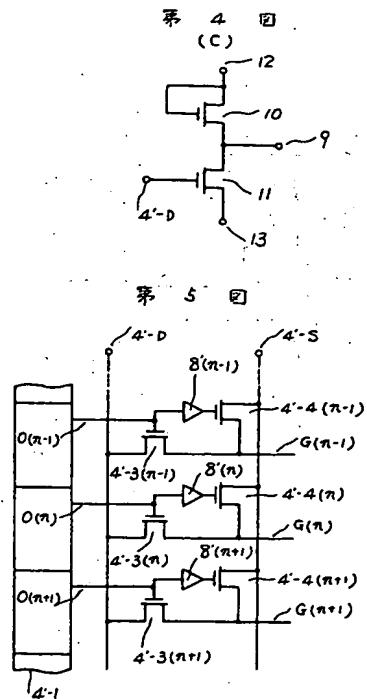
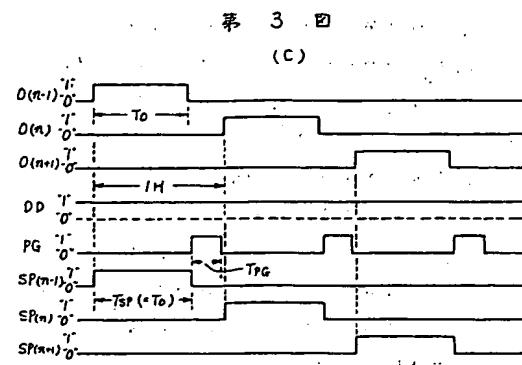
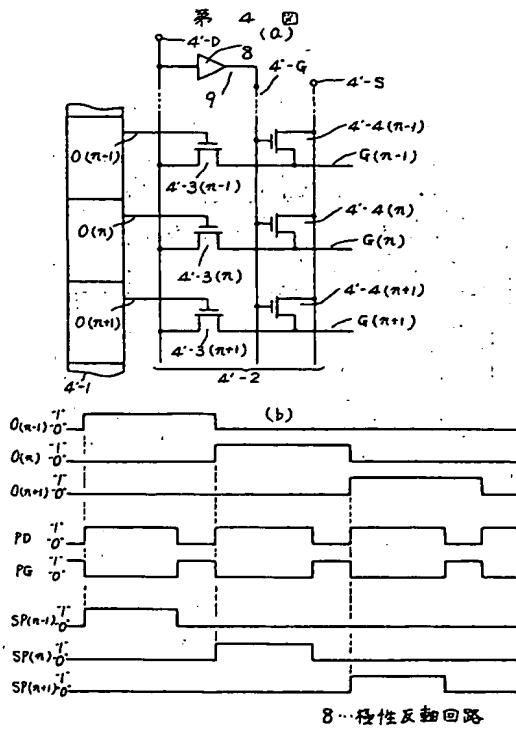
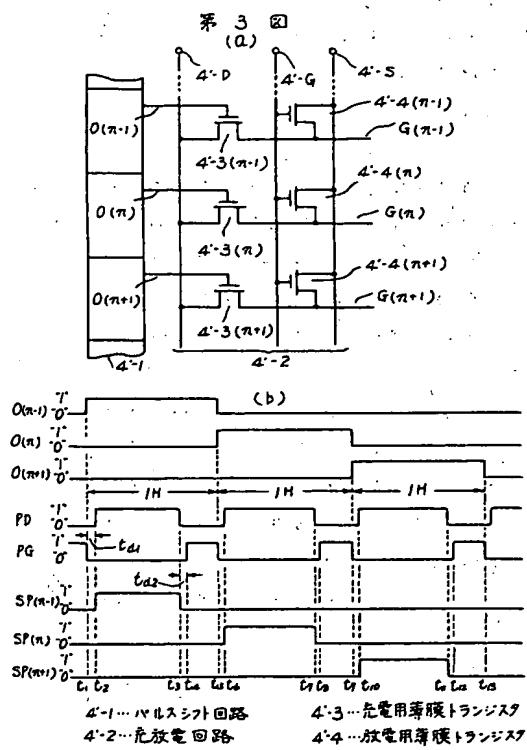


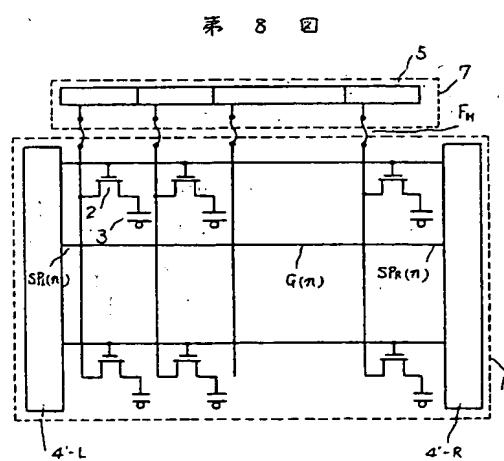
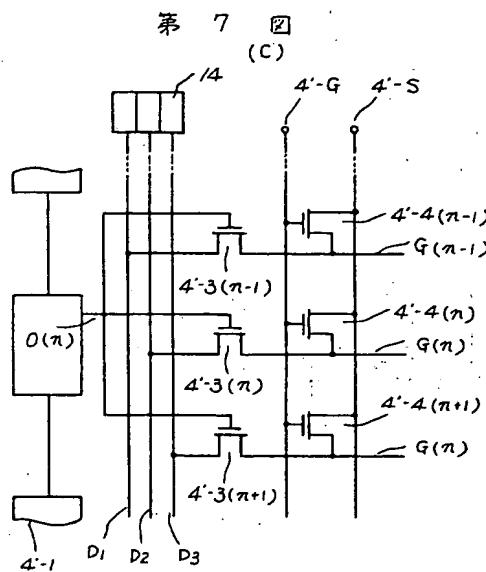
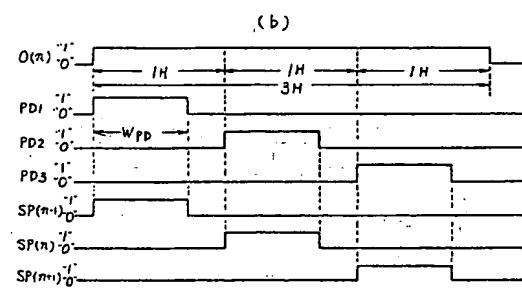
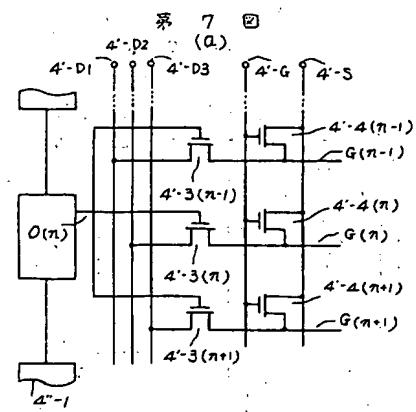
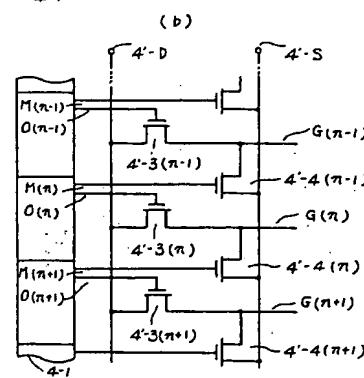
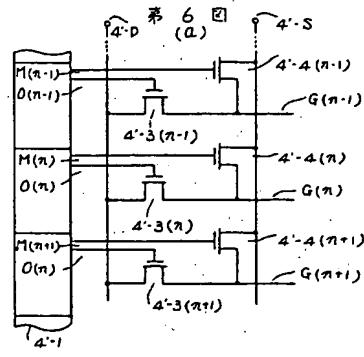
- 1…液晶パネル
- 2…画素スイッチ用薄膜トランジスタ
- 3…液晶セル
- 4'…垂直走査回路

第2図



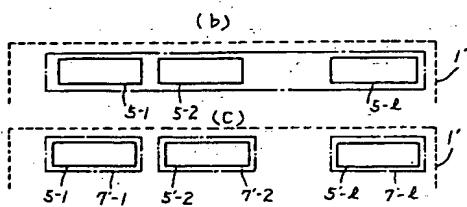
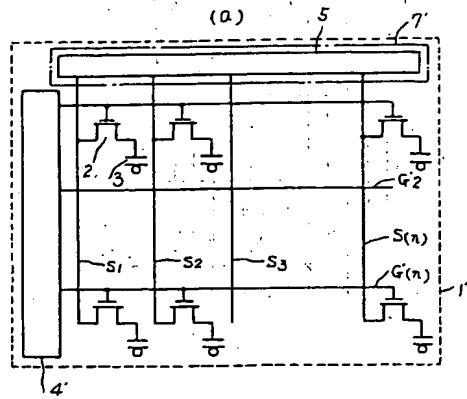
- 5…水平走査回路
- 6…垂直走査パネル
- 7…水平走査パネル



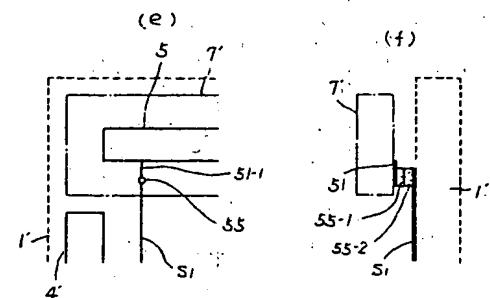
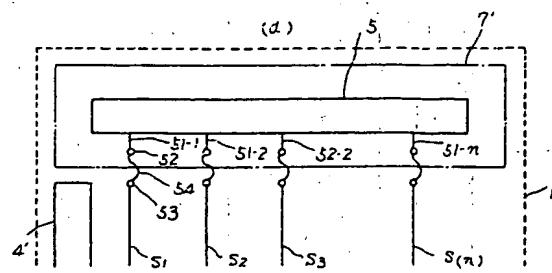


14…パルス発生回路

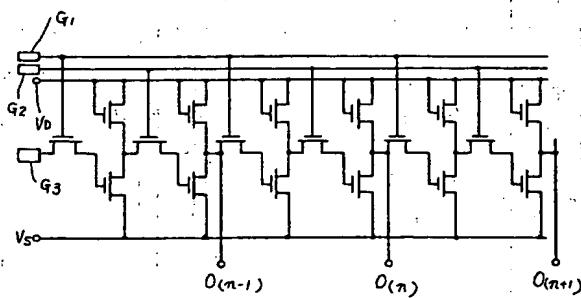
第9回



第9回



第10回



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成8年(1996)8月30日

【公開番号】特開平2-3008

【公開日】平成2年(1990)1月8日

【年通号数】公開特許公報2-31

【出願番号】特願昭63-150285

【国際特許分類第6版】

G02F 1/133 550

G09G 3/36

// H03K 17/00

【F1】

G02F 1/133 550 8708-2K

G09G 3/36 9378-5G

H03K 17/00 F 9184-5J

### 手 続 補 正 書

平成 7年 6月 19日

特許庁長官 附

事件の表示

昭和63年特許願第150285号

発明の名称

液晶表示装置

補正をする者

事件との関係 特許出願人  
名称 (510) 株式会社 日立製作所

代理人

住所 〒100 東京都千代田区丸の内一丁目5番1号  
株式会社 日立製作所内  
電話 東京 3212-1111(大代表)  
氏名 (6850) 井理士 小川 雄男

### 補正の内容

1. 発明の名称を「液晶表示装置」と補正する。
2. 特許請求の範囲を別紙のとおり補正する。
3. 明細書第6頁第15行の「できる」を「でき、易動度が単結晶Siより小さい半導体薄膜トランジスタを用いて」と訂正する。
4. 明細書第13頁第18行の「直流電圧D0」を「直流電圧DD」と訂正する。

補正の対象 明細書の「発明の名称」、「特許請求の範囲」  
及び「発明の詳細な説明」の欄

(2)

## 別紙

## 特許請求の範囲

1. 液晶パネル内に垂直走査回路が集積化されており、該垂直走査回路は、複数個の半導体薄膜トランジスタから成る単位回路が複数段從属接続されて成るパルスシフト回路と、該パルスシフト回路に接続して成り、かつ該パルスシフト回路の出力するシフトパルスにより開閉する複数個の半導体薄膜トランジスタから成る充電・放電回路とを有し、かつ上記充電・放電回路はその各段から時間的に順次走査パルスを発することを特徴とする液晶表示装置。
2. 液晶パネル内に多結晶半導体薄膜トランジスタで構成された水平走査回路がさらに集積化されている請求項1記載の液晶表示装置。